

MENU

SEARCH

INDEX

DETAIL

JAPANESE

BACK

3 / 7

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-219517

(43)Date of publication of application : 19.08.1997

(51)Int.Cl. H01L 29/78  
 H01L 21/28  
 H01L 21/768  
 H01L 27/108  
 H01L 21/8242

(21)Application number : 08-271797

(71)Applicant : SONY CORP

(22)Date of filing : 20.09.1996

(72)Inventor : KURODA HIDEAKI

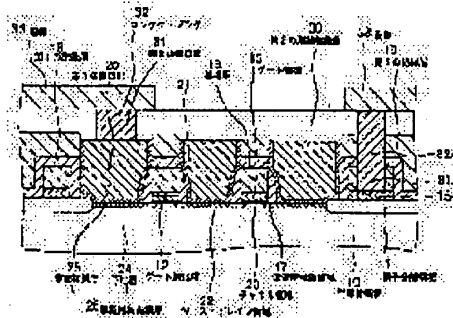
(30)Priority

Priority number : 07345676 Priority date 08.12.1995 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To lessen a diffusion region in sheet resistance so as to enable a semiconductor device to operate at a high speed by a method wherein a conductive material-filled layer used for connecting a contact plug with source/drain regions is formed below the contact plug.  
 SOLUTION: A semiconductor device is composed of a transistor device, first interlayer insulating layers 18 and 19 formed on the transistor device, a second interlayer insulating layer 30 provided onto the first interlayer insulating layers 18 and 19, and a wiring 33 provided to the second interlayer insulating layer 30. The transistor device is equipped with source/drain regions 22, a channel region 23, and a gate electrode 15 all formed on a semiconductor substrate 10. Conductive material is filled into a first opening 20 bored in the first interlayer insulating layers 18 and 19 for the formation of a conductive material-filled layer 26. A contact plug 32 is provided inside a second opening bored in the second interlayer insulating layer 30 to connect the conductive material-filled layer 26 and the wiring 33 together.



## LEGAL STATUS

[Date of request for examination] 03.04.1998

[Date of sending the examiner's decision of rejection] 12.01.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2953404

[Date of registration] 16.07.1999

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-219517

(43)公開日 平成9年 (1997) 8月19日

(51)Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 X
21/28	3 0 1		21/28	3 0 1 R
21/768			21/90	D
27/108			27/10	6 8 1 B
21/8242				

審査請求 未請求 請求項の数19 F D (全 33 頁)

(21)出願番号 特願平8-271797

(22)出願日 平成8年 (1996) 9月20日

(31)優先権主張番号 特願平7-345676

(32)優先日 平7 (1995) 12月8日

(33)優先権主張国 日本 (J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 黒田 英明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

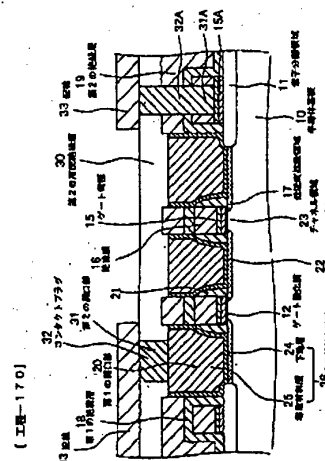
(74)代理人 弁理士 土屋 勝

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 シート抵抗が低く、高速動作が可能であり、集積度を高めることができ、信頼性が高く、製造工程もあまり増加しない半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、ゲート電極15、ソース・ドレイン領域22及びチャネル領域23を有するトランジスタ素子と、トランジスタ素子上に形成されている第1の層間絶縁層18、19と、第1の層間絶縁層18、19上に形成されている第2の層間絶縁層30と、第2の層間絶縁層30上に形成されている配線33と、ソース・ドレイン領域22上の第1の層間絶縁層18、19に設けられている第1の開口部20内に導電材料が埋め込まれて成る導電材料充填層26と、第2の層間絶縁層30に設けられている第2の開口部32内に形成されているコンタクトプラグ32と具備している。



## 【特許請求の範囲】

【請求項1】 半導体基板に形成されているソース・ドレイン領域及びチャネル領域とゲート電極とを有するトランジスタ素子と、

前記トランジスタ素子上に形成されている第1の層間絶縁層と、

前記第1の層間絶縁層上に形成されている第2の層間絶縁層と、

前記第2の層間絶縁層上に形成されている配線と、

前記ソース・ドレイン領域上の前記第1の層間絶縁層に設けられている第1の開口部内に導電材料が埋め込まれて成る導電材料充填層と、

前記第2の層間絶縁層に設けられている第2の開口部内に形成されており前記導電材料充填層と前記配線とを接続しているコンタクトプラグとを具備することを特徴とする半導体装置。

【請求項2】 前記第1の開口部の底部の面積が、前記ソース・ドレイン領域の面積の50%以上であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記導電材料充填層が、金属と金属化合物との少なくとも一方から成る下地層と導電材料層との2層構造であることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記導電材料充填層が、不純物を含有する多結晶シリコン層、金属と金属化合物との少なくとも一方から成る下地層、及び導電材料層の3層構造であることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記導電材料充填層が、金属と金属化合物との少なくとも一方から成る下地層、導電材料層、及び絶縁材料層の3層構造であることを特徴とする請求項1記載の半導体装置。

【請求項6】 半導体基板上にゲート電極を形成する工程と、

前記ゲート電極を形成した前記半導体基板上に第1の層間絶縁層を形成する工程と、

前記第1の層間絶縁層に第1の開口部を設け、この第1の開口部の底部に露出した前記半導体基板にソース・ドレイン領域を形成することによって、前記ゲート電極、前記ソース・ドレイン領域及びチャネル領域を有するトランジスタ素子を形成する工程と、

前記第1の開口部内に導電材料を埋め込んで導電材料充填層を形成する工程と、

前記導電材料充填層上を含む前記第1の層間絶縁層上に第2の層間絶縁層を形成し、前記導電材料充填層上の前記第2の層間絶縁層に第2の開口部を形成し、この第2の開口部内を導電材料で埋め込んでコンタクトプラグを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項7】 前記導電材料充填層を形成する工程が、前記第1の開口部内を含む前記第1の層間絶縁層上に金

属と金属化合物との少なくとも一方から成る下地層を形成する工程と、この下地層上に導電材料層を形成する工程と、前記第1の層間絶縁層上の前記導電材料層及び前記下地層を除去する工程とを有することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記導電材料充填層を形成する工程が、前記第1の開口部内を含む前記第1の層間絶縁層上に多結晶シリコン層を形成する工程と、この多結晶シリコン層及びその下の前記半導体基板に不純物をドーピングする工程と、金属と金属化合物との少なくとも一方から成る下地層及び導電材料層を前記多結晶シリコン層上に順次に形成する工程と、前記第1の層間絶縁層上の前記導電材料層、前記下地層及び前記多結晶シリコン層を除去する工程とを有することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】 前記導電材料充填層を形成する工程が、前記第1の開口部内を含む前記第1の層間絶縁層上に金属と金属化合物との少なくとも一方から成る下地層及び導電材料層を順次に形成する工程と、前記導電材料層上に絶縁材料層を形成する工程と、前記第1の層間絶縁層上の前記絶縁材料層、前記導電材料層及び前記下地層を除去する工程とを有することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項10】 ゲート電極、ソース・ドレイン領域及びチャネル領域を半導体基板上に形成する工程と、前記ゲート電極、前記ソース・ドレイン領域及び前記チャネル領域を形成した前記半導体基板上に第1の層間絶縁層を形成する工程と、

前記第1の層間絶縁層に第1の開口部を設け、この第1の開口部内に導電材料を埋め込んで導電材料充填層を形成する工程と、

前記導電材料充填層上を含む前記第1の層間絶縁層上に第2の層間絶縁層を形成し、前記導電材料充填層上の前記第2の層間絶縁層に第2の開口部を形成し、この第2の開口部内を導電材料で埋め込んでコンタクトプラグを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項11】 前記第1の開口部の底部の面積を、前記ソース・ドレイン領域の面積の50%以上にする工程とを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 前記導電材料充填層を形成する工程が、前記第1の開口部内を含む前記第1の層間絶縁層上に金属と金属化合物との少なくとも一方から成る下地層を形成する工程と、この下地層上に導電材料層を形成する工程と、前記第1の層間絶縁層上の前記導電材料層及び前記下地層を除去する工程とを有することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項13】 前記導電材料充填層を形成する工程が、前記第1の開口部内を含む前記第1の層間絶縁層上に不純物を含有する多結晶シリコン層を形成する工程

と、金属と金属化合物との少なくとも一方から成る下地層及び電導材料層を前記多結晶シリコン層上に順次に形成する工程と、前記第1の層間絶縁層上の前記電導材料層、前記下地層及び前記多結晶シリコン層を除去する工程とを有することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項14】 前記電導材料充填層を形成する工程が、前記第1の開口部内を含む前記第1の層間絶縁層上に金属と金属化合物との少なくとも一方から成る下地層及び電導材料層を順次に形成する工程と、前記電導材料層上に絶縁材料層を形成する工程と、前記第1の層間絶縁層上の前記絶縁材料層、前記電導材料層及び前記下地層を除去する工程とを有することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項15】 ビット線が電気的に接続されているメモリセルが配置されているメモリセル領域と、前記メモリセル以外の回路が配置されている非メモリセル領域とを含む半導体装置において、前記非メモリセル領域の半導体基板に設けられている拡散領域上に前記ビット線と同一層の金属層が積層されていることを特徴とする半導体装置。

【請求項16】 キャパシタを用いて前記メモリセルが構成されていることを特徴とする請求項15記載の半導体装置。

【請求項17】 前記金属層のうち最下層部分がバリアメタル層であることを特徴とする請求項15記載の半導体装置。

【請求項18】 前記金属層がバリアメタル層であることを特徴とする請求項15記載の半導体装置。

【請求項19】 ビット線が電気的に接続されているメモリセルが配置されているメモリセル領域と、前記メモリセル以外の回路が配置されている非メモリセル領域とを含む半導体装置の製造方法において、前記メモリセルに対するコンタクト孔を層間絶縁層に形成した後に、前記非メモリセル領域の拡散領域を露出させる開口部を前記層間絶縁層に形成する工程と、前記コンタクト孔を介して前記メモリセルに電気的に接続されると共に前記開口部を埋める金属層を形成する工程と、前記ビット線のパターンと前記拡散領域の各々に対応するパターンとに前記金属層を加工する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本願の発明は、ソース・ドレイン領域等の拡散領域を有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 例えば電界効果型半導体装置を微細化するためには、拡散領域であるソース・ドレイン領域を浅くして短チャネル効果を抑制する必要があるが、拡散領域を浅くすると、この拡散領域のシート抵抗が高くなって半導体装置の動作の高速化が困難になる。そこで、拡散領域の表面を自己整合的にシリサイド化した半導体装置が検討されている。

【0003】 図36～39は、このような半導体装置及びその製造方法の一従来例を示している。この一従来例では、図36(A)に示す様に、Si基板である半導体基板210に、SiO<sub>2</sub>膜から成る素子分離領域211をLOCOS法等で形成し、この素子分離領域211に囲まれている素子活性領域の表面に、SiO<sub>2</sub>膜であるゲート酸化膜212を形成する。その後、不純物を含有する多結晶Si層213上にWシリサイド層214を積層させたWポリサイド層を全面に形成し、SiO<sub>2</sub>膜でありオフセット絶縁膜としての絶縁膜216をCVD法でWポリサイド層上に堆積させる。そして、絶縁膜216及びWポリサイド層をパターニングして、Wポリサイド層から成るゲート電極215を形成し、図36(B)に示す様に、絶縁膜216及び素子分離領域211をマスクにして半導体基板210に不純物をイオン注入して、LDD構造用の低濃度拡散領域217を形成する。

【0004】 次に、図37(A)に示す様に、SiO<sub>2</sub>膜から成る所謂ゲートサイドウォール218をゲート電極215及び絶縁膜216の側面に形成する。そして、図37(B)に示す様に、Ti膜やCo膜等である金属膜219を全面に堆積させ、この金属膜219を介して半導体基板210に不純物をイオン注入して、ソース・ドレイン領域としての高濃度拡散領域220を形成する。

【0005】 次に、図38(A)に示す様に、熱処理を行って、イオン注入された不純物を活性化させると共に、金属膜219と半導体基板210とを反応させてTiシリサイド層またはCoシリサイド層等であるシリサイド層219Aを高濃度拡散領域220の表面に自己整合的に形成する。その後、図38(B)に示す様に、絶縁膜216上、ゲートサイドウォール218上及び素子分離領域211上の未反応の金属膜219を除去する。

【0006】 次に、図39に示す様に、表面の平坦な層間絶縁層230を形成し、シリサイド層219Aに達する開口部231をRIE法で層間絶縁層230に設ける。そして、TiN層/Ti層232とWから成るコンタクトプラグ233とで開口部231を埋める。その後、Al系合金から成る配線234を形成し、更に公知の工程を実行して、この一従来例の半導体装置を完成させる。

【0007】 【発明が解決しようとする課題】 ところが、上述の一従来例では、シリサイド層219Aを形成するために半導体基板210と金属膜219とを直接に反応させているので、半導体基板210に大きな応力が生じる。しか

も、半導体基板210と金属膜219との反応が均一には生じないので、シリサイド層219Aの厚さが不均一になって、局所的に厚いシリサイド層219Aが形成される。そして、この様な厚いシリサイド層219Aが拡散領域217、220を突き破るというアロイスバイクによって拡散領域217、220で接合リークが生じる可能性が高く、半導体装置の信頼性が低かった。

【0008】また、例えばBPSG膜である層間絶縁層230をリフローさせるために850℃以上の温度の熱処理を行うと、シリサイド層219Aにおいて結晶粒が成長し、結晶粒同士が分離して拡散領域220のシート抵抗が上昇する。従って、BPSG膜である層間絶縁層230のリフローという簡便な方法では表面の平坦な層間絶縁層230を得ることが困難であり、他の方法で層間絶縁層230の表面を平坦化せざるを得ず、半導体装置の製造コストが高かった。

【0009】従って、本願の発明の目的は、拡散領域のシート抵抗が低くて高速動作が可能であり、集積度を高めることができ、信頼性が高く、製造工程もあまり増加しない半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本願の発明による第1の半導体装置は、半導体基板に形成されているソース・ドレイン領域及びチャネル領域とゲート電極とを有するトランジスタ素子と、前記トランジスタ素子上に形成されている第1の層間絶縁層と、前記第1の層間絶縁層上に形成されている第2の層間絶縁層と、前記第2の層間絶縁層上に形成されている配線と、前記ソース・ドレイン領域上の前記第1の層間絶縁層に設けられている第1の開口部内に導電材料が埋め込まれて成る導電材料充填層と、前記第2の層間絶縁層に設けられている第2の開口部内に形成されており前記導電材料充填層と前記配線とを接続しているコンタクトプラグとを具備することを特徴としている。

【0011】本願の発明による第1の半導体装置では、第1の開口部の底部の面積が、ソース・ドレイン領域の面積の50%以上、好ましくは70%以上であることが望ましい。なお、第1の開口部の底部の面積の上限は、ソース・ドレイン領域の面積の100%以上にするこ

【0012】本願の発明による第1の半導体装置では、導電材料充填層を、金属と金属化合物との少なくとも一方から成る下地層と導電材料層との2層構造にすることができる。また、導電材料充填層を、不純物を含有する多結晶シリコン層、金属と金属化合物との少なくとも一方から成る下地層、及び導電材料層の3層構造にすることができ

物との少なくとも一方から成る下地層、導電材料層、及び絶縁材料層の3層構造にすることができる。なお、導電材料層の材料としては、W等の高融点金属や、CuやAl等の金属がある。また、金属と金属化合物との少なくとも一方から成る下地層としては、下層側からTi層/TiN層の2層構造、Ti単層、TiN単層、TiW単層等がある。多結晶シリコン層に含有される不純物としては、N型の半導体装置の場合は、AsやP等があり、P型半導体装置の場合は、BF<sub>3</sub>やB等がある。

10 【0013】本願の発明による第1の半導体装置の製造方法は、半導体基板上にゲート電極を形成する工程と、前記ゲート電極を形成した前記半導体基板上に第1の層間絶縁層を形成する工程と、前記第1の層間絶縁層に第1の開口部を設け、この第1の開口部の底部に露出した前記半導体基板にソース・ドレイン領域を形成することによって、前記ゲート電極、前記ソース・ドレイン領域及びチャネル領域を有するトランジスタ素子を形成する工程と、前記第1の開口部内に導電材料を埋め込んで導電材料充填層を形成する工程と、前記導電材料充填層上を含む前記第1の層間絶縁層上に第2の層間絶縁層を形成し、前記導電材料充填層上の前記第2の層間絶縁層に第2の開口部を形成し、この第2の開口部内を導電材料で埋め込んでコンタクトプラグを形成する工程とを具備することを特徴としている。

【0014】本願の発明による第2の半導体装置の製造方法は、ゲート電極、ソース・ドレイン領域及びチャネル領域を半導体基板上に形成する工程と、前記ゲート電極、前記ソース・ドレイン領域及び前記チャネル領域を形成した前記半導体基板上に第1の層間絶縁層を形成する工程と、前記第1の層間絶縁層に第1の開口部を設け、この第1の開口部内に導電材料を埋め込んで導電材料充填層を形成する工程と、前記導電材料充填層上を含む前記第1の層間絶縁層上に第2の層間絶縁層を形成し、前記導電材料充填層上の前記第2の層間絶縁層に第2の開口部を形成し、この第2の開口部内を導電材料で埋め込んでコンタクトプラグを形成する工程とを具備することを特徴としている。

【0015】本願の発明による第2の半導体装置の製造方法では、第1の開口部の底部の面積を、ソース・ドレイン領域の面積の50%以上、好ましくは70%以上にするこ

【0016】本願の発明による第1または第2の半導体装置の製造方法には、導電材料充填層を形成する工程として、第1の開口部内を含む第1の層間絶縁層上に金属と金属化合物との少なくとも一方から成る下地層を形成した後、この下地層上に導電材料層を形成し、次いで、第1の層間絶縁層上の導電材料層及び下地層を除去する工程を有する第1の態様がある。

【0017】本願の発明による第1の半導体装置の製造方法には、導電材料充填層を形成する工程として、第1の開口部内を含む第1の層間絶縁層上に多結晶シリコン層を形成した後、この多結晶シリコン層及びその下の半導体基板に不純物をドーピングし、金属と金属化合物との少なくとも一方から成る下地層及び導電材料層を多結晶シリコン層上に順次に形成した後、第1の層間絶縁層上の導電材料層、下地層及び多結晶シリコン層を除去する工程を有する第2の態様がある。本願の発明による第2の半導体装置の製造方法には、導電材料充填層を形成する工程として、第1の開口部内を含む第1の層間絶縁層上に不純物を含有する多結晶シリコン層を形成した後、金属と金属化合物との少なくとも一方から成る下地層及び導電材料層を多結晶シリコン層上に順次に形成し、次いで、第1の層間絶縁層上の導電材料層、下地層及び多結晶シリコン層を除去する工程を有する第2の態様がある。

【0018】本願の発明による第1の半導体装置の製造方法には、導電材料充填層を形成する工程として、第1の開口部内を含む第1の層間絶縁層上に金属と金属化合物との少なくとも一方から成る下地層及び導電材料層を順次に形成し、更に、導電材料層上に絶縁材料層を形成した後、第1の層間絶縁層上の絶縁材料層、導電材料層及び下地層を除去する工程を有する第3の態様がある。

【0019】第1及び第2の層間絶縁層として、 $\text{SiO}_2$ 、BPSG、PSG、BSG、AsSG、SbSG、NSG、SOG、LTO (Low Temperature Oxide、低温CVD- $\text{SiO}_2$ )、 $\text{SiN}$ 、 $\text{SiON}$ 等の公知の絶縁材料、またはこれらの絶縁材料を積層したものを採用することができる。

【0020】なお、本願の発明では、コンタクトプラグと導電材料充填層との間のコンタクト抵抗が低ければ、第2の開口部の底部に導電材料充填層が部分的に露出しているても、半導体装置の動作には支障がない。

【0021】本願の発明による第2の半導体装置は、ビット線が電気的に接続されているメモリセルが配置されているメモリセル領域と、前記メモリセル以外の回路が配置されている非メモリセル領域とを含む半導体装置において、前記非メモリセル領域の半導体基板に設けられている拡散領域上に前記ビット線と同一層の金属層が積層されていることを特徴としている。

【0022】本願の発明による第2の半導体装置では、キャパシタを用いてメモリセルが構成されていてもよい。また、金属層のうちで最下層部分がバリアメタル層であってもよく、金属層がバリアメタル層であってもよい。

【0023】本願の発明による第3の半導体装置の製造方法は、ビット線が電気的に接続されているメモリセルが配置されているメモリセル領域と、前記メモリセル以外の回路が配置されている非メモリセル領域とを含む半

導体装置の製造方法において、前記メモリセルに対するコンタクト孔を層間絶縁層に形成した後に、前記非メモリセル領域の拡散領域を露出させる開口部を前記層間絶縁層に形成する工程と、前記コンタクト孔を介して前記メモリセルに電気的に接続されると共に前記開口部を埋める金属層を形成する工程と、前記ビット線のパターンと前記拡散領域の各々に対応するパターンとに前記金属層を加工する工程とを具備することを特徴としている。

【0024】本願の発明による第1の半導体装置並びに第1及び第2の半導体装置の製造方法では、従来の技術におけるコンタクトプラグの下方に、このコンタクトプラグとソース・ドレイン領域とを接続するための導電材料充填層が形成されている。従って、導電材料充填層を含めたソース・ドレイン領域のシート抵抗を低くすることができる。また、熱処理によって金属の結晶粒が成長し結晶粒同士が分離することによるソース・ドレイン領域のシート抵抗の上昇がないので、熱処理を行い易い。しかも、半導体基板と導電材料充填層とが直接に反応しないので、半導体基板に加わる応力が小さく、且つアロイスパイクによる接合リークがソース・ドレイン領域で生じる可能性も低い。

【0025】また、導電材料充填層に接続されているコンタクトプラグを形成すればよいので、フォトリソグラフィ技術及びドライエッチング技術を用いて第2の層間絶縁層に第2の開口部を形成する場合、フォトリソグラフィ工程におけるマスク合わせずれの許容範囲等のプロセス余裕度を大きくすることができる。仮に、コンタクトプラグの底部の例えば約1/2程度しか導電材料充填層に接続されていなくても、半導体装置の動作には支障がない。

【0026】第1の開口部の底部の面積をソース・ドレイン領域の面積の50%以上にすれば、ソース・ドレイン領域のシート抵抗を更に低くすることができる。しかも、ソース・ドレイン領域のシート抵抗を低くすることができるので、ソース・ドレイン領域の面積を減少させることができ、その結果、半導体装置を高速で動作させることもできる。

【0027】導電材料充填層を、不純物を含有する多結晶シリコン層、金属と金属化合物との少なくとも一方から成る下地層、及び導電材料層の3層構造にすれば、多結晶シリコン層の厚さ分だけ浅いソース・ドレイン領域を半導体基板に形成することができる。しかも、多結晶シリコン層上に導電材料層が形成されているので、浅いソース・ドレイン領域にも拘らずシート抵抗を低くすることができる。

【0028】また、導電材料充填層を、金属と金属化合物との少なくとも一方から成る下地層、導電材料層、及び絶縁材料層の3層構造にすれば、段差被覆性のあまり良くない導電材料層で第1の開口部を完全に埋め込む必要がなくなる。その結果、導電材料層が半導体基板に対

して大きな応力を与えることがなくなる。

【0029】本願の発明による第2の半導体装置では、ビット線と同一層の金属層が非メモリセル領域の拡散領域上に積層されているので、金属層の形成工程や加工工程等を増加させる必要がないにも拘らず、非メモリセル領域における拡散領域のシート抵抗が低い。

【0030】また、金属層のうちで最下層部分がバリア金属層であれば、非メモリセル領域の拡散領域上に金属層が積層されているにも拘らず、非メモリセル領域の半導体基板と金属層との化合物反応がバリア金属層で抑制されるので、非メモリセル領域の拡散領域においてアロイスパイクによる接合リーク等を低減させることができる。

【0031】また、金属層がバリア金属層であれば、非メモリセル領域の拡散領域上に金属層が積層されているにも拘らず、非メモリセル領域の半導体基板と金属層との化合物反応が抑制されるので、非メモリセル領域の拡散領域においてアロイスパイクによる接合リーク等を低減させることができる。しかも、金属層が積層構造である場合に比べて、金属層の構造が簡単であるので、金属層の形成が容易である。

【0032】本願の発明による第3の半導体装置の製造方法では、非メモリセル領域の拡散領域を露出させる開口部をビット線と同一層の金属層で埋めているので、金属層の形成工程や加工工程等を増加させることなく、非メモリセル領域における拡散領域のシート抵抗を低くすることができる。

【0033】しかも、メモリセルに対するビット線用のコンタクト孔を形成した後に、非メモリセル領域の拡散領域を露出させる開口部を形成しているので、開口部を埋める金属層とは異なる材料から成るプラグでメモリセルに対するビット線用のコンタクト孔を埋めておいて、メモリセルにおける接合リークを防止することができる。

【0034】

【発明の実施の形態】以下、CMOSトランジスタを含む半導体装置及びその製造方法に適用した本願の発明の第1～第6実施形態を、図1～23を参照しながら説明し、また、積層キャパシタ型汎用DRAMと2入力NANDゲートである論理回路とを含む半導体装置及びその製造方法に適用した本願の発明の第7及び第8実施形態を、図24～35を参照しながら説明する。

【0035】（第1実施形態）図1～9が、第1実施形態を示している。この第1実施形態における製造方法は、本願の発明による第1の半導体装置の製造方法における第1の態様である。即ち、第1の開口部内に導電材料充填層を形成する工程が、第1の開口部内を含む第1の層間絶縁層上に金属と金属化合物との少なくとも一方から成る下地層を形成した後、この下地層上に導電材料層を形成し、次いで、第1の層間絶縁層上の導電材料層

及び下地層を除去する工程を有している。

【0036】図1、8が、第1実施形態における半導体装置の夫々側断面図及び平面図を示している。この第1実施形態における半導体装置は、トランジスタ素子と、トランジスタ素子の上に形成されている第1の層間絶縁層18、19と、第1の層間絶縁層18、19上に形成されている第2の層間絶縁層30と、第2の層間絶縁層30上に形成されておりA1系合金から成る配線33とを有している。トランジスタ素子は、半導体基板10に形成されているソース・ドレイン領域22及びチャネル領域23とゲート電極15とを有している。

【0037】更に、この第1実施形態における半導体装置は、ソース・ドレイン領域22上の第1の層間絶縁層18、19に設けられている第1の開口部20内に導電材料が埋め込まれて成る導電材料充填層26と、第2の層間絶縁層30に設けられている第2の開口部31内に形成されており導電材料充填層26と配線33とを接続しているコンタクトプラグ32とを有している。第1の層間絶縁層18、19は、SiN膜である第1の絶縁層18と、BPSG膜である第2の絶縁層19とで構成されている。

【0038】コンタクトプラグ32はWで形成されており、第2の層間絶縁層30はSiO<sub>2</sub>膜である。コンタクトプラグ32を形成する必要のないソース・ドレイン領域22においても、ソース・ドレイン領域22上の第1の層間絶縁層18、19に設けられている第1の開口部20内に導電材料充填層26が形成されている。導電材料充填層26は、金属（具体的にはTi）及び金属化合物（具体的にはTiN）の2層構造の下地層24と、導電材料層25（具体的にはW層）との2層構造である。

【0039】素子分離領域11上に形成されており別のトランジスタ素子のゲート電極から延在している導電体パターン15A（所謂ワード線）と配線33とは、第1の層間絶縁層18、19及び第2の層間絶縁層30に設けられている開口部31A内に形成されておりWから成っているコンタクトプラグ32Aを介して、電気的に互いに接続されている。

【0040】以下、図1～9を参照して、第1実施形態における半導体装置の製造方法を説明する。なお、この第1実施形態における半導体装置はCMOSトランジスタを含んでいるが、図1～9は、N型MOSトランジスタとP型MOSトランジスタとのうちの一方及びその製造工程のみを示している。また、図1～7は、図8のA-A線に沿う位置の側断面図である。

【0041】【工程-100】まず、図2（A）に示す様に、Si基板である半導体基板10に、SiO<sub>2</sub>膜から成る素子分離領域11とこの素子分離領域11に囲まれている素子活性領域とを、公知のLOCOS法で形成する。但し、LOCOS法による素子分離領域11の代

わりに、トレンチ構造等の素子分離領域を形成してもよい。

【0042】【工程-110】次いで、公知の方法で半導体基板10の表面を酸化して、 $\text{SiO}_2$ 膜であるゲート酸化膜12を形成する。その後、不純物を含有しており厚さが数十～百数十nmである多結晶シリコン層13上に厚さが数十～百数十nmであるWシリサイド層14を積層させたWポリサイド層を全面に形成する。次いで、厚さが数百nmの $\text{SiO}_2$ 膜でありオフセット絶縁膜としての絶縁膜16をCVD法でWポリサイド層上に堆積させる。その後、絶縁膜16、Wシリサイド層14及び多結晶シリコン層13をパターニングして、Wシリサイド層14及び多結晶シリコン層13から成るゲート電極15及び導電体パターン15Aを同時に形成する。

【0043】【工程-120】その後、図2(B)に示す様に、N型MOSトランジスタ形成領域とP型MOSトランジスタ形成領域とをレジスト(図示せず)で交互に覆い、これらのレジストと絶縁膜16及び素子分離領域11とをマスクとして、半導体基板10に不純物をイオン注入して、低濃度拡散領域17を形成する。N型MOSトランジスタの低濃度拡散領域17を形成するための不純物としては、例えば $\text{As}^+$ を用い、P型MOSトランジスタの低濃度拡散領域17を形成するための不純物としては、例えば $\text{BF}_3^+$ や $\text{B}^+$ を用いる。何れの場合にも、数十keVの加速エネルギー及び $10^{12} \sim 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入を行う。その後、熱処理を施して、イオン注入された不純物を活性化させる。

【0044】【工程-130】次に、図3に示す様に、厚さが数十～百数十nmの $\text{SiN}$ 膜である第1の絶縁層18を、減圧CVD法で全面に堆積させる。これによって、半導体基板10及び素子分離領域11の表面、絶縁膜16を含むゲート電極15及び導電体パターン15Aの側面、並びに絶縁膜16の頂面が、絶縁層18で被覆される。なお、 $\text{SiN}$ 膜である絶縁層18を堆積させる前に、厚さが数十nmの $\text{SiO}_2$ 膜を堆積させてもよい。これによって、絶縁層18を直接に堆積させる場合に比較して、半導体基板10における応力の発生を緩和させることができると同時に、ホットキャリア耐性の劣化を防止することができる。

【0045】その後、厚さが数百nmのBPSG膜である第2の絶縁層19を、CVD法で絶縁層18上に堆積させる。次いで、 $800 \sim 900^\circ\text{C}$ でのリフロー処理を行って、絶縁層19の表面を平坦化する。この様にし、第1の層間絶縁層18、19を全面に形成する。

【0046】【工程-140】次いで、図4に示す様に、絶縁層19上にレジスト40を塗布し、図9に示す様にソース・ドレイン領域を形成すべき領域の略総てがゲート電極15と導電体パターン15Aとの間で露出する様に、レジスト40をパターニングする。図9では、レジスト40の開口パターンに相当する第1の開口部の

パターンが点線で示されている。その後、図5に示す様に、 $\text{C}$ 、 $\text{F}_4$  /  $\text{CO}$ 系のエッチングガスを用いて、絶縁層19及び絶縁層18を順次に異方性エッチングして、第1の層間絶縁層18、19に第1の開口部20を設ける。絶縁膜16を含むゲート電極15の側面には、 $\text{SiN}$ 膜である第1の絶縁層から成るゲートサイドウォール21が形成される。

【0047】次いで、N型MOSトランジスタ形成領域とP型MOSトランジスタ形成領域とをレジスト(図示せず)で交互に覆い、これらのレジストと、第1の層間絶縁層18、19、ゲートサイドウォール21及び素子分離領域11とをマスクにして、半導体基板10に不純物をイオン注入して、高濃度拡散領域であるソース・ドレイン領域22を形成する。N型MOSトランジスタのソース・ドレイン領域22を形成するための不純物としては、例えば $\text{As}^+$ や $\text{P}^+$ を用い、P型MOSトランジスタのソース・ドレイン領域22を形成するための不純物としては、例えば $\text{BF}_3^+$ や $\text{B}^+$ を用いる。何れの場合にも、数十keVの加速エネルギー及び $10^{15} \sim 10^{16} \text{ cm}^{-2}$ のドーズ量でイオン注入を行う。その後、 $800 \sim 1100^\circ\text{C}$ の温度雰囲気中の電気炉アニールや高速アニールを行って、イオン注入された不純物を活性化させる。こうして、ソース・ドレイン領域22とチャネル領域23とが形成されて、トランジスタ素子が形成される。

【0048】【工程-150】その後、図6に示す様に、厚さが夫々数十～百数十nmであるTi層及びTiN層を、第1の開口部20内を含む第2の絶縁層19上にスパッタ法で順次に形成して、下地層24を形成する。Ti層及びTiN層を形成する理由は、オーミックな低コンタクト抵抗を得ること、WをCVD法で堆積させる際の半導体基板10の損傷防止、Wの密着性向上のためである。なお、場合によっては、Ti層またはTiN層のみの単層にすることもできる。Ti層及びTiN層のスパッタ条件は、例えば以下の通りである。

Ti層 (厚さ: 30nm)

プロセスガス:  $\text{Ar} = 100 \text{ sccm}$

圧力 : 0.4 Pa

直流電力 : 5 kW

基板加熱温度:  $150^\circ\text{C}$

TiN層 (厚さ: 70nm)

プロセスガス:  $\text{N}_2 / \text{Ar} = 80 / 30 \text{ sccm}$

圧力 : 0.4 Pa

直流電力 : 5 kW

基板加熱温度:  $150^\circ\text{C}$

【0049】TiN層を形成した後、このTiN層のバリア性を向上させるために、例えば以下の条件のアニールを施すことが望ましい。

雰囲気: 窒素ガス100%

温度 :  $450^\circ\text{C}$



時間 : 30分

【0050】その後、Wから成る導電材料層25を所謂ブランケットW-CVD法でTiN層上に形成する。なお、開口部20内がW層で完全に充填される様に、このW層の厚さを選択する。導電材料層25の形成条件は、例えば以下の通りである。

使用ガス : WF<sub>6</sub> / H<sub>2</sub> / Ar = 75 / 500 / 280  
0 sccm

圧力 : 1.06 × 10<sup>4</sup> Pa

成膜温度 : 450℃

【0051】次に、導電材料層25と下地層24とを順次にエッチバックして、開口部20内に導電材料充填層26を形成する。このときのエッチバックの条件は、例えば以下の通りである。なお、エッチバックの代わりに、導電材料層25及び下地層24を化学的機械的研磨法(CMP法)で研磨してもよい。

使用ガス : SF<sub>6</sub> / Cl<sub>2</sub> = 25 / 20 sccm

圧力 : 1 Pa

マイクロ波電力 : 950 W

高周波電力 : 50 W (2 MHz)

【0052】[工程-160]その後、図7に示す様に、導電材料充填層26上を含む第1の層間絶縁層18、19上の全面に、例えばSiO<sub>2</sub>膜である第2の層間絶縁層30をCVD法で堆積させた後、導電材料充填層26に達する第2の開口部31をRIE法で層間絶縁層30に設ける。このとき、開口部31の底部の総てが導電材料充填層26上に存在しなくてもよい。そして、ブランケットW-CVD法で、Wから成るコンタクトプラグ32を開口部31内に形成する。なお、ブランケットW-CVD法でW層を形成する前に、開口部31内を含む層間絶縁層30上に、TiN層/Ti層やTiN層やTiW層をスパッタ法で形成しておいてもよい。

【0053】なお、開口部31の形成と同時に、導電体パターン15Aに達する開口部31Aを第2の層間絶縁層30及び第1の層間絶縁層18、19に形成し、コンタクトプラグ32の形成と同時に、Wから成るコンタクトプラグ32Aを開口部31A内に形成し、このコンタクトプラグ32Aを介して、導電体パターン15Aと配線33とを電気的に接続する。

【0054】[工程-170]その後、図1に示す様に、コンタクトプラグ32上を含む層間絶縁層30上の全面に、Al系合金から成る配線材料層をスパッタ法で形成し、次いで、フォトリソグラフィ技術及びドライエッチング技術を用いて配線材料層をパターニングして配線33を完成させる。配線材料層のスパッタ条件は、例えば以下の通りである。

ターゲット : Al-0.5%Cu

プロセスガス : Ar = 100 sccm

圧力 : 0.4 Pa

直流電力 : 5 kW

基板加熱温度 : 300℃

【0055】なお、場合によっては、Wから成るコンタクトプラグ32を開口部31内に形成せずに、この開口部31を配線材料層で埋め込んでもよい。この場合は、開口部31内を配線材料層で確実に埋め込むために、開口部31内を含む層間絶縁層30上に、濡れ性を改善するためのTi層等を形成する。その後、所謂高温Alスパッタ法(上記のスパッタ条件において基板加熱温度を500℃前後とし、層間絶縁層30上に堆積させたAl系合金を流動状態にして、開口部31内をAl系合金で埋め込む方法)や、Alリフロー法(上記のスパッタ条件において基板加熱温度を150℃前後とし、層間絶縁層30上にAl系合金を堆積させた後、基板を500℃前後に加熱し、層間絶縁層30上のAl系合金を流動状態にして、開口部31内をAl系合金で埋め込む方法)や、高圧リフロー法(Alリフロー法において、層間絶縁層30上にAl系合金を堆積させた後、10<sup>6</sup> Pa程度の高圧雰囲気中で基板を加熱し、層間絶縁層30上のAl系合金を高圧下の流動状態にすることによって、開口部31内をAl系合金で埋め込む方法)等を採用して、Al系合金から成るコンタクトプラグを第2の開口部31内に形成することができる。

【0056】この様に、Wから成るコンタクトプラグ32を開口部31内に形成せずに、この開口部31を配線材料層で埋め込んでもよいことは、以下の実施形態においても同様である。その後、更に、公知の工程を実行して、この第1実施形態の半導体装置を完成させる。

【0057】(第2実施形態)図10~12が、第2実施形態の一部を示している。この第2実施形態は上述の第1実施形態の変形である。第2実施形態の半導体装置が第1実施形態の半導体装置と相違する点は、導電材料充填層が、不純物を含有する多結晶シリコン層53、金属と金属化合物との少なくとも一方から成る下地層54、及び導電材料層55の3層構造である点にある。

【0058】第2実施形態の半導体装置の製造方法は、本願の発明による第1の半導体装置の製造方法における第1の態様である。第2実施形態の半導体装置の製造方法が第1実施形態の半導体装置の製造方法と相違する点は、第1の開口部20内に導電材料充填層を形成する工程が、第1の開口部20内を含む第1の層間絶縁層18、19上に多結晶シリコン層53を形成した後、多結晶シリコン層53に不純物をドーピングし、次いで、金属と金属化合物との少なくとも一方から成る下地層54及び導電材料層55を多結晶シリコン層53上に順次に形成した後、第1の層間絶縁層19上の導電材料層55、下地層54及び多結晶シリコン層53を除去する工程を有する点にある。

【0059】この第2実施形態においても、第1の開口部20を形成するまでの工程は、第1実施形態の[工程-100]~[工程-140]と実質的に同様とするこ

とができる。従って、以下では、第1の開口部20が形成された後の工程を、図10~12を参照しながら説明する。

【0060】【工程-200】図10に示す様に、第1実施形態の【工程-140】における第1の開口部20の形成に続いて、開口部20内を含む第1の層間絶縁層18、19上に、厚さが数十nmの多結晶シリコン層53をCVD法で形成する。これによって、絶縁層19の頂面、絶縁層18、19の側面、開口部20の底部に露出している半導体基板10の表面、及びゲートサイドウォール21が、多結晶シリコン層53で被覆される。

【0061】【工程-210】その後、図11に示す様に、多結晶シリコン層53及びその下の半導体基板10に不純物をドーピングして、高濃度拡散領域であるソース・ドレイン領域22を半導体基板10に形成する。この工程は、第1実施形態の【工程-140】におけるイオン注入工程と実質的に同様とすることができる。

【0062】【工程-220】次いで、図12に示す様に、不純物がドーピングされた多結晶シリコン層53上に、Ti及びTiNから成る下地層54とWから成る導電材料層55とを順次に形成した後、第1の層間絶縁層18、19上の導電材料層55、下地層54及び多結晶シリコン層53をエッチバック法またはCMP法で除去する。この工程は、第1実施形態の【工程-150】と実質的に同様とすることができる。これによって、不純物を含有している多結晶シリコン層53、金属と金属化合物との少なくとも一方から成る下地層54、及び導電材料層53の3層構造である導電材料充填層が、開口部20内に形成される。

【0063】【工程-230】その後、第1実施形態の【工程-160】及び【工程-170】を実行して、第2の開口部31内にコンタクトプラグ32を形成し、更に配線33を形成して、この第2実施形態の半導体装置を完成させる。

【0064】以上の様な第2実施形態では、多結晶シリコン層53を介して不純物をイオン注入することによって高濃度拡散領域であるソース・ドレイン領域22を形成しているので、多結晶シリコン層53の厚さ分だけソース・ドレイン領域22を浅くすることができ、ソース・ドレイン領域22を低濃度拡散領域17内に形成することができる。このため、接合容量を低減させ、且つ接合耐圧を向上させることができ、更には、特にP型MOSトランジスタにおける短チャネル効果を効果的に抑制することができる。

【0065】(第3実施形態)図13、14が、第3実施形態の一部を示している。この第3実施形態も上述の第1実施形態の変形である。第3実施形態の半導体装置が第1実施形態の半導体装置と相違する点は、導電材料充填層が、Ti及びTiNから成る下地層64、Wから成る導電材料層65、及び絶縁材料層66の3層構造で

ある点にある。

【0066】第3実施形態の半導体装置の製造方法は、本願の発明による第1の半導体装置の製造方法における第3の態様である。第3実施形態の半導体装置の製造方法が第1実施形態の半導体装置の製造方法と相違する点は、第1の開口部20内に導電材料充填層を形成する工程が、第1の開口部20内を含む第1の層間絶縁層18、19上にTi及びTiNから成る下地層64を形成した後、Wから成る導電材料層65を下地層64上に形成し、更に、導電材料層65上に絶縁材料層66を形成した後、第1の層間絶縁層19上の絶縁材料層66、導電材料層65及び下地層64を除去する工程を有する点にある。なお、第3実施形態では、第1の開口部20内がW層で完全には充填されず、第1の開口部20内のW層に凹部が形成される様にW層を形成し、この凹部内に絶縁材料層66を充填する。

【0067】第3実施形態では、第1の開口部20の底部に露出した半導体基板10内にソース・ドレイン領域22を形成するまでの工程は、第1実施形態の【工程-100】~【工程-140】と実質的に同様とすることができる。従って、以下では、ソース・ドレイン領域22が形成された後の工程を、図13、14を参照しながら説明する。

【0068】【工程-300】図13に示す様に、第1実施形態の【工程-140】におけるソース・ドレイン領域22の形成に続いて、開口部20内を含む第1の層間絶縁層18、19上に、第1実施形態の【工程-150】と同様の方法で、下層側からTi層/TiN層である下地層64をスパッタ法で形成する。その後、第1実施形態の【工程-150】と同様の条件で、下地層64上にW層をプランケットW-CVD法で形成する。なお、第3実施形態では、W層の厚さを数十nmとし、開口部20内がW層で完全には充填されず、凹部が形成される様にW層を形成する。こうして、Wから成る導電材料層65が、第1の層間絶縁層18、19上と開口部20の側面及び底部とに形成される。

【0069】【工程-310】その後、図14に示す様に、 $O_2$  + TEOSを原料とする常圧CVD法で、不純物を含まない $SiO_2$ 膜であり厚さが数百nmである絶縁材料層66を、開口部20内の導電材料層65に形成された凹部内を含む第1の層間絶縁層18、19上の導電材料層65上に堆積させる。但し、 $SiO_2$ 膜である絶縁材料層66をバイアスECR-CVD法で形成してもよいし、SOGを塗布して絶縁材料層66を形成してもよい。その後、第1の層間絶縁層18、19上の絶縁材料層66、導電材料層65及び下地層64を、エッチバック法やCMP法等で除去する。

【0070】【工程-320】その後、第1実施形態の【工程-160】及び【工程-170】を実行して、第2の開口部31内にコンタクトプラグ32を形成し、更

に配線33を形成して、この第3実施形態の半導体装置を完成させる。

【0071】以上の様な第3実施形態では、導電材料充填層を、金属と金属化合物との少なくとも一方から成る下地層64、導電材料層65、及び絶縁材料層66の3層構造にしているため、段差被覆性のあまり良くない導電材料層で第1の開口部20を完全に埋め込む必要がない。その結果、導電材料層65が半導体基板10に対して大きな応力を与えることがない。

【0072】(第4実施形態) 図15～19が、第4実施形態を示している。この第4実施形態の半導体装置の製造方法は、本願の発明による第2の半導体装置の製造方法の第1の態様である。即ち、第1の開口部内に導電材料充填層を形成する工程が、第1の開口部内を含む第1の層間絶縁層上に、金属と金属化合物との少なくとも一方から成る下地層を形成した後、この下地層上に導電材料層を形成し、次いで、第1の層間絶縁層上の導電材料層及び下地層を除去する工程を有している。

【0073】図17、18に示す様に、この第4実施形態の半導体装置も第1実施形態の半導体装置と実質的に同様の構成を有している。即ち、この第4実施形態の半導体装置は、トランジスタ素子と、トランジスタ素子上に形成されている第1の層間絶縁層18Aと、第1の層間絶縁層18A上に形成されている第2の層間絶縁層30と、第2の層間絶縁層30上に形成されておりA1系合金から成る配線33とを有している。トランジスタ素子は、半導体基板10に形成されているソース・ドレイン領域22及びチャネル領域23とゲート電極15とを有している。

【0074】更に、第4実施形態の半導体装置は、ソース・ドレイン領域22上の第1の層間絶縁層18Aに設けられている第1の開口部20内に導電材料が埋め込まれて成る導電材料充填層26と、第2の層間絶縁層30に設けられている第2の開口部31内に形成されており導電材料充填層26と配線33とを接続しているコンタクトプラグ32とを有している。

【0075】第1の層間絶縁層18AはBPSG膜であり、コンタクトプラグ32はWから成っており、第2の層間絶縁層30はSiO<sub>2</sub>膜である。なお、コンタクトプラグ32を形成する必要のないソース・ドレイン領域22上にも導電材料充填層26が形成されている。導電材料充填層26は、金属(具体的にはTi)及び金属化合物(具体的にはTiN)の2層構造の下地層24と、導電材料層25(具体的にはW層)との2層構造である。

【0076】第4実施形態の半導体装置においても、第1実施形態と同様に、素子分離領域11上に形成されており別のトランジスタ素子のゲート電極から延在している導電体パターン15Aと、第2の層間絶縁層30上に設けられている配線33とは、第1の層間絶縁層18A

及び第2の層間絶縁層30に設けられている開口部31A内に形成されておりWから成っているコンタクトプラグ32Aを介して、電気的に互いに接続されている。

【0077】次に、図15～19を参照しながら、第4実施形態の半導体装置の製造方法を説明する。なお、この半導体装置は、N型MOSトランジスタとP型MOSトランジスタとを有するCMOSトランジスタである。但し、図面には、一方のMOSトランジスタ及びその製造工程のみが示されている。また、図15～17は、図18のA-A線に沿う位置における断面図である。

【0078】[工程-400] 先ず、図15(A)に示す様に、Si基板である半導体基板10に、素子分離領域11とこの素子分離領域11に囲まれている素子活性領域とを、第1実施形態の[工程-100]と同様に公知の方法で形成する。

【0079】[工程-410] 次いで、第1実施形態の[工程-110]と同様に、Wシリサイド層14及び多結晶シリコン層13から成るゲート電極15を半導体基板10上に形成すると共に、Wシリサイド層14及び多結晶シリコン層13から成る導電体パターン15Aを素子分離領域11上に形成する。

【0080】[工程-420] その後、第1実施形態の[工程-120]と同様に、N型MOSトランジスタ形成領域とP型MOSトランジスタ形成領域とに、低濃度拡散領域17を形成する。次いで、全面にSiO<sub>2</sub>層を形成し、このSiO<sub>2</sub>層をエッチバックして、所謂ゲートサイドウォール21Aをゲート電極15の側面に形成する。次いで、第1実施形態の[工程-140]と同様の方法でイオン注入及び活性化処理を行って、高濃度拡散領域であるソース・ドレイン領域22とチャネル領域23とを形成する。

【0081】[工程-430] 次いで、図15(B)に示す様に、BPSG膜等であり厚さが数百nmである第1の層間絶縁層18AをCVD法で全面に堆積させ、800～900℃でのリフロー処理を行って層間絶縁層18Aの表面を平坦化する。

【0082】[工程-440] 次いで、層間絶縁層18A上にレジストを塗布し、図19に示す様に、ソース・ドレイン領域22の例えば50%以上が露出する様にレジストをパターニングする。なお、図19には、レジストの開口パターンに相当する第1の開口部のパターンが点線で示されている。そして、C、F、/CO系のエッチングスを用いて層間絶縁層18Aを異方性エッチングして、この層間絶縁層18Aに第1の開口部20を設ける。

【0083】[工程-450] その後、図16に示す様に、第1の開口部20内を含む第1の層間絶縁層18A上にTiとTiNとの少なくとも一方から成る下地層24を形成した後、この下地層24上にWから成る導電材料層25を形成し、次いで、層間絶縁層18A上の導電

材料層25及び下地層24をエッチバック法で除去することによって、開口部20内に導電材料充填層26を形成する。この工程は、第1実施形態の〔工程-150〕と同様とすることができるので、詳細な説明は省略する。

〔0084〕〔工程-460〕その後、図17に示す様に、導電材料充填層26上を含む第1の層間絶縁層18A上に第2の層間絶縁層30を形成し、導電材料充填層26上の層間絶縁層30に第2の開口部31を形成し、次いで、開口部31内を導電材料で埋め込んで、この開口部31内にコンタクトプラグ32を形成する。具体的には、この工程は、第1実施形態の〔工程-160〕と同様とすることができる。

〔0085〕なお、第4実施形態においても、第1実施形態と同様に、開口部31A及びコンタクトプラグ32Aの形成は、開口部31及びコンタクトプラグ32の形成と同様の方法で同時に行うことができる。

〔0086〕〔工程-470〕その後、第1実施形態の〔工程-170〕と同様に、コンタクトプラグ32上を含む層間絶縁層30の全面に、Al系合金から成る配線材料層をスパッタ法で形成し、次いで、フォトリソグラフィ技術及びドライエッチング技術を用いて配線材料層をパターニングして配線33を形成する。そして、更に、公知の工程を実行して、この第4実施形態の半導体装置を完成させる。

〔0087〕（第5実施形態）図20、21が、第5実施形態を示している。この第5実施形態は第4実施形態の変形である。第5実施形態の半導体装置が第4実施形態の半導体装置と相違する点は、導電材料充填層が、不純物を含有する多結晶シリコン層53A、金属と金属化合物との少なくとも一方から成る下地層54、及び導電材料層55の3層構造である点にある。

〔0088〕また、この第5実施形態の半導体装置の製造方法は、本願の発明による第2の半導体装置の製造方法の第2'の態様である。第5実施形態の半導体装置の製造方法が第4実施形態の半導体装置の製造方法と相違する点は、第1の開口部20内に導電材料充填層を形成する工程が、第1の開口部20内を含む第1の層間絶縁層18A上に不純物を含有する多結晶シリコン層53Aを形成した後、金属と金属化合物との少なくとも一方から成る下地層54及び導電材料層55を多結晶シリコン層53A上に順次に形成し、次いで、第1の層間絶縁層18A上の導電材料層55、下地層54及び多結晶シリコン層53Aを除去する点にある。

〔0089〕第5実施形態において、第1の開口部20を形成するまでの工程は、第4実施形態の〔工程-400〕～〔工程-440〕と同様とすることができる。従って、以下では、第1の開口部20が形成された後の工程を、図20、21を参照しながら説明する。

〔0090〕〔工程-500〕図20に示す様に、第4

実施形態における〔工程-440〕の第1の開口部20の形成に続いて、第2実施形態の〔工程-200〕と同様に、第1の開口部20内を含む第1の層間絶縁層18A上に、不純物を含有しており厚さが数十nmである多結晶シリコン層53AをCVD法で形成する。この結果、層間絶縁層18Aの頂面、開口部20の側面、及び開口部20の底部に露出している半導体基板10の表面が、多結晶シリコン層53Aで被覆される。

〔0091〕〔工程-510〕次いで、図21に示す様に、Ti及びTiNから成る下地層54とWから成る導電材料層55とを多結晶シリコン層53A上に順次に形成した後、層間絶縁層18A上の導電材料層55、下地層54及び多結晶シリコン層53Aをエッチバック法またはCMP法で除去する。この工程は、実質的には、第1実施形態の〔工程-150〕と同様とすることができる。この結果、不純物を含有する多結晶シリコン層53A、金属と金属化合物との少なくとも一方から成る下地層54、及び導電材料層55の3層構造である導電材料充填層が、開口部20内に形成される。

〔0092〕〔工程-520〕その後、第4実施形態の〔工程-460〕及び〔工程-470〕と同様に、第2の開口部31内にコンタクトプラグ32を形成し、更に配線33を形成して、この第5実施形態の半導体装置を完成させる。

〔0093〕（第6実施形態）図22、23が、第6実施形態を示している。この第6実施形態も第4実施形態の変形である。第6実施形態の半導体装置が第4実施形態の半導体装置と相違する点は、導電材料充填層が、Ti及びTiNから成る下地層64、Wから成る導電材料層65、及び絶縁材料層66の3層構造である点にある。

〔0094〕また、この第6実施形態の半導体装置の製造方法は、本願の発明による第2の半導体装置の製造方法の第3の態様である。第6実施形態の半導体装置の製造方法が第4実施形態の半導体装置の製造方法と相違する点は、第1の開口部20内に導電材料充填層を形成する工程が、第1の開口部20内を含む第1の層間絶縁層18A上にTi及びTiNから成る下地層64を形成した後、Wから成る導電材料層65を下地層64上に形成し、更に、導電材料層65上に絶縁材料層66を形成した後、第1の層間絶縁層18A上の絶縁材料層66、導電材料層65及び下地層64を除去する工程を有する点にある。なお、第6実施形態においては、第1の開口部20内がW層で完全には充填されず、第1の開口部20内のW層に凹部が形成される様にW層を形成し、この凹部内に絶縁材料層66を充填する。

〔0095〕第6実施形態において、第1の開口部20の底部に露出した半導体基板10内にソース・ドレイン領域22を形成するまでの工程は、第4実施形態の〔工程-400〕～〔工程-440〕と実質的に同様とする

ことができる。従って、以下では、ソース・ドレイン領域22が形成された後の工程を、図22、23を参照しながら説明する。

【0096】【工程-600】図22に示す様に、第4実施形態における【工程-440】のソース・ドレイン領域22の形成に続いて、第1の開口部20内を含む第1の層間絶縁層18A上に、第1実施形態の【工程-150】と同様の方法で、下層側からTi層/TiN層である下地層64をスパッタ法で形成する。その後、第1実施形態の【工程-150】と同様の条件で、下地層64上にW層をプラズマCVD法で形成する。なお、第6実施形態においては、W層の厚さを数十nmとし、開口部20内がW層で完全には充填されず、凹部が形成される様にW層を形成する。この結果、Wから成る導電材料層65が、層間絶縁層18A上と開口部20の側面及び底面とに形成される。

【0097】【工程-610】その後、図23に示す様に、 $O_2$ +TEOSを原料とするCVD法で、不純物を含まない $SiO_2$ 膜であり厚さが数百nmである絶縁材料層66を導電材料層65上に堆積させる。但し、 $SiO_2$ 膜である絶縁材料層66をバイアスECR-CVD法で形成してもよく、SOGを塗布してもよい。その後、層間絶縁層18A上の絶縁材料層66、導電材料層65及び下地層64を、例えばエッチバック法やCMP法で除去する。

【0098】【工程-620】その後、第4実施形態の【工程-460】及び【工程-470】と同様に、第2の開口部31内にコンタクトプラグ32を形成し、更に配線33を形成して、この第6実施形態の半導体装置を完成させる。

【0099】第6実施形態においては、導電材料充填層を、金属と金属化合物との少なくとも一方から成る下地層64、導電材料層65、及び絶縁材料層66の3層構造にしているため、段差被覆性のあまり良くない導電材料層で開口部20を完全に埋め込む必要がない。その結果、導電材料層65が半導体基板10に対して大きな応力を与えることがない。

【0100】(第7実施形態)図24~29が、第7実施形態を示している。この第7実施形態の半導体装置を製造するためには、図27(A)及び図25に示す様に、 $Si$ 基板71のメモリセル領域72や論理回路領域73や周辺回路領域(図示せず)の総ての表面にLOCOS法等で $SiO_2$ 膜74を選択的に形成して素子分離領域を区画し、 $SiO_2$ 膜74に囲まれている素子活性領域の表面にゲート酸化膜としての $SiO_2$ 膜75を形成する。

【0101】その後、不純物を含有する多結晶 $Si$ 層76と $WSi$ 層77とをCVD法で順次に堆積させてWポリサイド層78を形成し、更にこのWポリサイド層78上にCVD法で $SiO_2$ 膜81を堆積させて、これら

の合計の厚さを数百nmにする。そして、 $SiO_2$ 膜81とWポリサイド層78とをゲート電極のパターンに加工作る。

【0102】その後、 $SiO_2$ 膜74、81及びWポリサイド層78等をマスクにして $Si$ 基板71に不純物をイオン注入して、低濃度拡散領域82を形成する。この際、N型MOSトランジスタ形成領域には、数十keVの加速エネルギー及び $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でAsまたはPhosをイオン注入し、P型MOSトランジスタ形成領域には、10~数十keVの加速エネルギー及び $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でBまたはBF<sub>2</sub>をイオン注入する。

【0103】次に、図27(B)に示す様に、TEOSを原料にした減圧CVD法で厚さが数十~数百nmの $SiO_2$ 膜83を堆積させ、 $SiO_2$ 膜83の全面をエッチバックして、この $SiO_2$ 膜83から成る側壁スペースをWポリサイド層78及び $SiO_2$ 膜81の側面に形成する。

【0104】その後、 $SiO_2$ 膜74、81、83及びWポリサイド層78等をマスクにして、論理回路領域73及び周辺回路領域の $Si$ 基板71に不純物をイオン注入して、高濃度拡散領域84を形成する。この際、数十keVの加速エネルギー及び $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-2}$ のドーズ量で、N型MOSトランジスタ形成領域にはAsをイオン注入し、P型MOSトランジスタ形成領域にはBまたはBF<sub>2</sub>をイオン注入する。

【0105】その後、厚さが数十nmの $SiN$ 膜85を減圧CVD法で堆積させ、更に、 $O_2$ +TEOSを原料にしたCVD法で厚さが数百nmのBPSG膜86を堆積させ、リフローまたは化学的機械的研磨によってBPSG膜86の表面を平坦化する。

【0106】次に、図27(C)に示す様に、メモリセル領域72の低濃度拡散領域82に達するビット線用のコンタクト孔87及び記憶ノード電極用のコンタクト孔88をBPSG膜86及び $SiN$ 膜85に開孔し、不純物を含有する多結晶 $Si$ プラグ91でコンタクト孔87、88を埋める。

【0107】そして、厚さが数十nmの $SiO_2$ 膜92を堆積させ、コンタクト孔87内の多結晶 $Si$ プラグ91に達するコンタクト孔93を $SiO_2$ 膜92に開口する。その後、図26にも示す様に、論理回路領域73及び周辺回路領域の高濃度拡散領域84のパターンに近いパターンであり且つこれらの高濃度拡散領域84に達する開口部94を $SiO_2$ 膜92、BPSG膜86及び $SiN$ 膜85に開口する。なお、 $SiO_2$ 膜92の代わりに $SiN$ 膜等を用いてもよい。

【0108】その後、厚さが数十nmでありバリアメタル層としてのTiN/Ti層95をスパッタ法またはCVD法で堆積させ、更に、厚さが数百nmのW層96をCVD法で堆積させる。そして、図25にも示す様なビ

ット線のパターンと開口部94よりも僅かに大きいパターンとに、W層96及びTiN/Ti層95を加工する。

【0109】次に、図28(A)及び図25に示す様に、厚さが数百nmの層間絶縁層97をCVD法で堆積させ、コンタクト孔88内の多結晶Siプラグ91に達するコンタクト孔98を層間絶縁層97及びSiO<sub>2</sub>膜92に開口する。そして、厚さが数百nmのSiO<sub>2</sub>膜101を堆積させ、SiO<sub>2</sub>膜101の全面をエッチバックして、このSiO<sub>2</sub>膜101から成る側壁スペースをコンタクト孔98の内側面に形成する。

【0110】次に、図28(B)に示す様に、厚さが数十nmのTiN/Ti層102をCVD法で堆積させ、更に、W、Pt、Ru、RuO<sub>2</sub>、IrO<sub>2</sub>等から成り厚さが数十〜数百nmである金属含有層103をスパッタ法で堆積させ、図25にも示す記憶ノード電極のパターンに金属含有層103とTiN/Ti層102とを加工する。

【0111】コンタクト孔98内の金属含有層103及びTiN/Ti層102とビット線であるW層96及びTiN/Ti層95とは、SiO<sub>2</sub>膜101によって絶縁分離される。その後、厚さが数百nmのSiO<sub>2</sub>膜104を堆積させ、SiO<sub>2</sub>膜104の全面をエッチバックして、このSiO<sub>2</sub>膜104から成る側壁スペースを金属含有層103及びTiN/Ti層102の側面に形成する。

【0112】次に、図29に示す様に、BST(Ba、Sr、TiO<sub>2</sub>)、STO(SrTiO<sub>3</sub>)、Ta<sub>2</sub>O<sub>5</sub>等から成り厚さが数十〜数百nmである高誘電体膜105をCVD法やスパッタ法等で堆積させ、O<sub>2</sub>またはO<sub>3</sub>プラズマ雰囲気中で高誘電体膜105をアニールする。なお、金属含有層103及びTiN/Ti層102の段差がSiO<sub>2</sub>膜104で緩和されているので、高誘電体膜105の膜質劣化によるキャパシタリークが防止される。

【0113】その後、TiN、WN、Pt、W等から成り厚さが数十nmである金属含有層106をスパッタ法で堆積させ、金属含有層106と高誘電体膜105とをプレート電極のパターンに加工して、メモリセル領域72のメモリセルを構成するキャパシタ107を完成させる。そして、厚さが数百nmの層間絶縁層108をCVD法で堆積させる。

【0114】次に、図24に示す様に、W層96に達するコンタクト孔111を層間絶縁層108、97に開口し、コンタクト孔111を埋めるTiN/Ti層112及びW層113を配線のパターンに加工する。

【0115】その後、層間絶縁層114を堆積させ、W層113に達するビアホール115を層間絶縁層114に開口し、TiN層116及びWプラグ117でビアホール115を埋める。そして、Wプラグ117に接続す

るTiN層118、Al層121及びTiN層122を配線のパターンに加工し、表面保護膜123を堆積させて、この第7実施形態の半導体装置を完成させる。

【0116】(第8実施形態)図30〜34が、第8実施形態を示している。この第8実施形態の半導体装置を製造する際にも、図31(A)(B)に示す様に、BPSG膜86の表面を平坦化するまでは、高濃度拡散領域84を未だ形成しないことを除いて、上述の第7実施形態における図27(A)(B)の工程と実質的に同様の工程を実行する。

【0117】しかし、この第8実施形態では、その後、図31(C)に示す様に、メモリセル領域72の低濃度拡散領域82に達する記憶ノード電極用のコンタクト孔88をBPSG膜86及びSiN膜85に開口し、不純物を含有する多結晶Siプラグ91でコンタクト孔88を埋める。

【0118】次に、図32(A)に示す様に、厚さが数百nmのSiO<sub>2</sub>膜131をCVD法で堆積させ、SiN膜85をストップにして、多結晶Siプラグ91が露出するまでSiO<sub>2</sub>膜131及びBPSG膜86をエッチングして、記憶ノード電極のパターンの凹部132を形成する。なお、不純物を含有しないSiO<sub>2</sub>膜131の代わりにBPSG膜を用いてもよい。

【0119】次に、図32(B)に示す様に、不純物を含有しており厚さが数十nmである多結晶Si層133と厚さが数十nmであるSiO<sub>2</sub>膜134とをCVD法で順次に堆積させ、SiO<sub>2</sub>膜134の全面をエッチバックして、このSiO<sub>2</sub>膜134から成る側壁スペースを凹部132の内側面に形成する。そして、再び、不純物を含有しており厚さが数十nmである多結晶Si層135と厚さが数百nmであるSiO<sub>2</sub>膜136とをCVD法で順次に堆積させる。

【0120】次に、図33(A)に示す様に、SiO<sub>2</sub>膜134が露出するまで、SiO<sub>2</sub>膜136と多結晶Si層135、133とを順次にエッチバックする。その後、図33(B)に示す様に、弗酸を含むエッチング液で、残存しているSiO<sub>2</sub>膜131、134、136及びBPSG膜86を除去する。

【0121】そして、ONO膜等の誘電体膜137と不純物を含有しており厚さが数十〜数百nmである多結晶Si層138とをCVD法で順次に堆積させ、これらの多結晶Si層138と誘電体膜137とをプレート電極のパターンに加工して、メモリセル領域72のメモリセルを構成するキャパシタ141を完成させる。

【0122】次に、図34(A)に示す様に、SiO<sub>2</sub>膜74、81、83及びWポリサイド層78等をマスクにして、論理回路領域73及び周辺回路領域のSi基板71に不純物をイオン注入して、高濃度拡散領域84を形成する。この際、数十keVの加速エネルギー及び1×10<sup>15</sup>〜1×10<sup>16</sup>cm<sup>-2</sup>のドーズ量で、N型MOS

トランジスタ形成領域にはAsをイオン注入し、P型MOSトランジスタ形成領域にはBまたはBF<sub>3</sub>をイオン注入する。

【0123】その後、厚さが数百nmのBPSG膜142等をCVD法で堆積させ、窒素雰囲気中での800～900℃の熱処理によるリフローでBPSG膜142の表面を平坦化する。そして、メモリセル領域72の低濃度拡散領域82に達するビット線用のコンタクト孔143を、BPSG膜142、多結晶Si層138、誘電体膜137及びSiN膜85に開口する。

【0124】そして、SiO<sub>2</sub>膜144から成る側壁スペーサをコンタクト孔143の内側面に形成し、不純物を含有する多結晶Siプラグ145でコンタクト孔143を埋める。従って、プレート電極である多結晶Si層138と多結晶Siプラグ145とはSiO<sub>2</sub>膜144で絶縁分離される。

【0125】次に、図34(B)に示す様に、論理回路領域73及び周辺回路領域の高濃度拡散領域84のパターンに近いパターンであり且つこれらの高濃度拡散領域84に達する開口部94をBPSG膜142及びSiN膜85に開口する。その後、厚さが数十nmでありバリアメタル層としてのTiN/Ti層95をスパッタ法またはCVD法で堆積させ、更に、厚さが数百nmのW層96をCVD法で堆積させる。そして、ビット線のパターンと開口部94よりも僅かに大きいパターンとに、W層96及びTiN/Ti層95を加工する。

【0126】次に、図30に示す様に、層間絶縁層114を堆積させ、W層96に達するビアホール115を層間絶縁層114に開口し、TiN層116及びWプラグ117でビアホール115を埋める。そして、Wプラグ

#### CuのCVD形成条件

使用ガス : Cu(HFA)<sub>2</sub>/H<sub>2</sub> = 10/1000 sccm  
 圧力 : 2.6 × 10<sup>-3</sup> Pa  
 基板加熱温度 : 350℃  
 電力 : 500W

【0130】また、実施形態では、TiN層及びTi層をスパッタ法で形成したが、スパッタ法の代わりに、例

#### TiのECR-CVD条件

使用ガス : TiCl<sub>4</sub>/H<sub>2</sub> = 10/50 sccm  
 マイクロ波電力 : 2.18 kW  
 温度 : 420℃  
 圧力 : 0.12 Pa

#### TiNのECR-CVD条件

使用ガス : TiCl<sub>4</sub>/H<sub>2</sub>/N<sub>2</sub> = 20/26/8 sccm  
 マイクロ波電力 : 2.8 kW  
 基板高周波バイアス : -50W  
 温度 : 420℃  
 圧力 : 0.12 Pa

【0131】実施形態では、配線を形成するAl系合金としてAl-Cuを用いたが、Al-Cuの代わりに、

117に接続するTiN層118、Al層121及びTiN層122を配線のパターンに加工し、表面保護膜123を堆積させて、この第8実施形態の半導体装置を完成させる。

【0127】(第9実施形態) 図35が、第9実施形態を示している。この第9実施形態の半導体装置では、BPSG膜142上にSiN膜146とSiO<sub>2</sub>膜147とが順次に積層されており、論理回路領域73の開口部94がTiN/Ti層95とWプラグ148とで埋められており、TiN/Ti層95のみでビット線が形成されている。これらの点を除いて、この第9実施形態の半導体装置も、ビット線よりも下層は図30に示した第8実施形態と実質的に同様の構成を有しており、ビット線よりも上層は図24に示した第7実施形態と実質的に同様の構成を有している。

【0128】以上、好ましい実施形態に基づいて本願の発明を説明したが、本願の発明はこれらの実施形態に限定されるものではない。実施形態で説明した条件や数値、材料、または半導体装置の構造は例示であり、適宜変更することができる。

【0129】上述の実施形態では、専らプランケットW-CVD法で導電材料層を形成したが、導電材料層の材料はWに限定されるものではなく各種の金属や高融点金属を用いることができる。例えば、CVD法でCu層やAl層を形成することによって、CuやAlから成る導電材料層を第1の開口部20内に形成することもできる。CVD法によるCu層の形成条件は例えば以下の通りである。なお、HFAとは、ヘキサフルオロアセチルアセトネートの略である。

えば以下の条件のCVD法でTiN層及びTi層を形成することもできる。

純Al、Al-Si、Al-Si-Cu、Al-Ge、Al-Si-Ge等の種々のAl合金を用いることもで

きる。

【0132】第3実施形態や第6実施形態では、導電材料充填層を、金属と金属化合物との少なくとも一方からなる下地層、導電材料層、及び絶縁材料層の3層構造にしたが、Ti層及びTiN層を厚くすることによって、Wから成る導電材料層の形成を省略することができる。この場合は、Ti層が下地層に相当し、TiN層が導電材料層に相当する。

【0133】

【発明の効果】本願の発明による第1の半導体装置並びに第1及び第2の半導体装置の製造方法では、従来の技術におけるコンタクトプラグの下方に、このコンタクトプラグとソース・ドレイン領域とを接続するための導電材料充填層が形成されているので、半導体装置の製造歩留りを低下させることなく、ソース・ドレイン領域のシート抵抗を顕著に低くすることができ、接合リークの増大を確実に回避することもできる。更に、ソース・ドレイン領域のシート抵抗を低くすることができるので、ソース・ドレイン領域の面積を減少させることができ、その結果、半導体装置を高速で動作させることが可能となる。

【0134】また、導電材料充填層に接続されているコンタクトプラグを形成すればよいので、第2の層間絶縁層に第2の開口部をフォトリソグラフィ技術及びドライエッチング技術を用いて形成する場合、フォトリソグラフィ工程におけるマスク合わせずれの許容範囲等のプロセス余裕度を大きくすることができる。

【0135】また、第1の開口部の底部の面積をソース・ドレイン領域の面積の50%とすれば、ソース・ドレイン領域のシート抵抗を更に低くすることができる。

【0136】本願の発明による第2の半導体装置では、金属層の形成工程や加工工程等を増加させる必要がないにも拘らず、非メモリセル領域における拡散領域のシート抵抗が低いので、製造コストを増大させることなく、メモリセル領域におけるメモリセルと非メモリセル領域における動作の高速な回路との両方を混載することができる。

【0137】また、金属層のうちで最下層部分がバリアメタル層であれば、非メモリセル領域の拡散領域においてアロイスバイクによる接合リーク等を低減させることができるので、非メモリセル領域における回路の動作が高速であるのみならずこの回路の特性も優れている。

【0138】また、金属層がバリアメタル層であれば、非メモリセル領域の拡散領域においてアロイスバイクによる接合リーク等を低減させることができるので、非メモリセル領域における回路の動作が高速であるのみならずこの回路の特性も優れている。しかも、金属層が積層構造である場合に比べて、金属層の形成が容易であるので、製造コストが低い。

【0139】本願の発明による第3の半導体装置の製造

方法では、金属層の形成工程や加工工程等を増加させることなく、非メモリセル領域における拡散領域のシート抵抗を低くすることができ、しかも、メモリセルにおける接合リークを防止することができるので、メモリセル領域における記憶保持特性の優れたメモリセルと非メモリセル領域における動作の高速な回路との両方を混載している半導体装置を低コストで製造することができる。

【図面の簡単な説明】

【図1】第1実施形態の半導体装置及びその製造方法を説明するための半導体装置の模式的な一部断面図である。

【図2】第1実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図3】図2に引き続き、第1実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図4】図3に引き続き、第1実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図5】図4に引き続き、第1実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図6】図5に引き続き、第1実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図7】図6に引き続き、第1実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図8】第1実施形態の半導体装置の各構成要素の配置を説明するための半導体装置の模式的な部分的配置図である。

【図9】第1実施形態の半導体装置の製造方法を説明するためのゲート電極等の模式的な部分的配置図である。

【図10】第2実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図11】図10に引き続き、第2実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図12】図11に引き続き、第2実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図13】第3実施形態の半導体装置の製造方法を説明するための半導体装置の模式的な一部断面図である。

【図14】図13に引き続き、第3実施形態の半導体装置の製造方法を説明するための半導体装置の模式的な一部断面図である。

【図15】第4実施形態の半導体装置の製造方法を説明するための半導体装置の模式的な一部断面図である。

【図16】図15に引き続き、第4実施形態の半導体装置の製造方法を説明するための半導体装置の模式的な一



部断面図である。

【図17】図16に引き続き、第4実施形態の半導体装置の製造方法を説明するための半導体装置の模式的な一部断面図である。

【図18】第4実施形態の半導体装置の各構成要素の配置を説明するための半導体装置の模式的な部分的配置図である。

【図19】第4実施形態の半導体装置の製造方法を説明するためのゲート電極等の模式的な部分的配置図である。

【図20】第5実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図21】図20に引き続き、第5実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図22】第6実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図23】図22に引き続き、第6実施形態の半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図24】本願の発明の第7実施形態における半導体装置のメモリセル領域と論理回路領域との境界部及びその近傍部の側断面図である。

【図25】第7実施形態における半導体装置のメモリセル領域の平面図である。

【図26】第7実施形態における半導体装置の論理回路領域の平面図である。

【図27】第7実施形態における半導体装置の製造方法の第1期の工程を順次に示す側断面図である。

【図28】第7実施形態における半導体装置の製造方法の第2期の工程を順次に示す側断面図である。

【図29】第7実施形態における半導体装置の製造方法の第3期の工程を示す側断面図である。

【図30】本願の発明の第8実施形態における半導体装置のメモリセル領域と論理回路領域との境界部及びその近傍部の側断面図である。

【図31】第8実施形態における半導体装置の製造方法の第1期の工程を順次に示す側断面図である。

【図32】第8実施形態における半導体装置の製造方法の第2期の工程を順次に示す側断面図である。

【図33】第8実施形態における半導体装置の製造方法の第3期の工程を順次に示す側断面図である。

【図34】第8実施形態における半導体装置の製造方法

の第4期の工程を順次に示す側断面図である。

【図35】本願の発明の第9実施形態における半導体装置のメモリセル領域と論理回路領域との境界部及びその近傍部の側断面図である。

【図36】MOSトランジスタの従来の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図37】図36に引き続き、従来の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図38】図37に引き続き、従来の製造方法を説明するための半導体基板等の模式的な一部断面図である。

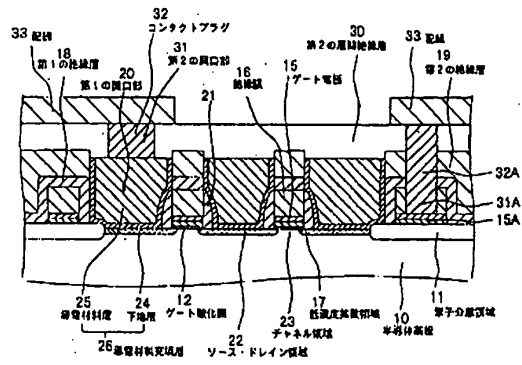
【図39】図38に引き続き、従来の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【符号の説明】

10 半導体基板	11 素子分離領域
12 ゲート酸化膜	
13 多結晶シリコン層	14 Wシリサイド層
15 ゲート電極	
15A 導電体パターン	16 絶縁膜（オフセット絶縁膜）
17 低濃度拡散領域	18 第1の層間絶縁層を構成する第1の絶縁層
18A 第1の層間絶縁層	19 第1の層間絶縁層を構成する第2の絶縁層
20 第1の開口部	21、21A ゲートサイドウォール
22 ソース・ドレイン領域	23 チャンネル領域
24、54、64 下地層	25、55、65 導電材料層
26 導電材料充填層	30 第2の層間絶縁層
31 第2の開口部	
31A 開口部	32、32A コンタクトブリッジ
33 配線	
53、53A 多結晶シリコン層	66 絶縁材料層
71 Si基板（半導体基板）	72 メモリセル領域
73 論理回路領域（非メモリセル領域）	
84 高濃度拡散領域（拡散領域）	87、93 コンタクト孔
94 開口部	95 TiN／Ti層（金属層）
96 W層（金属層）	107、141 キャパシタ

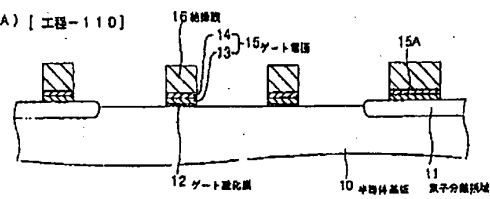
【図1】

【工程-170】

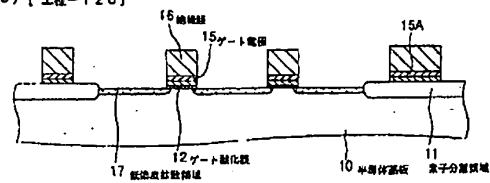


【図2】

(A) 【工程-110】



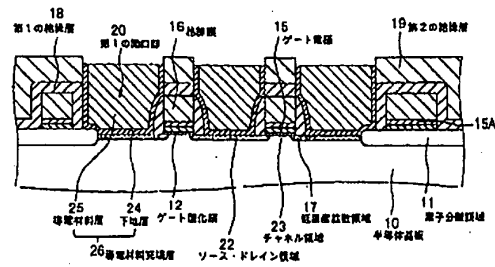
(B) 【工程-120】





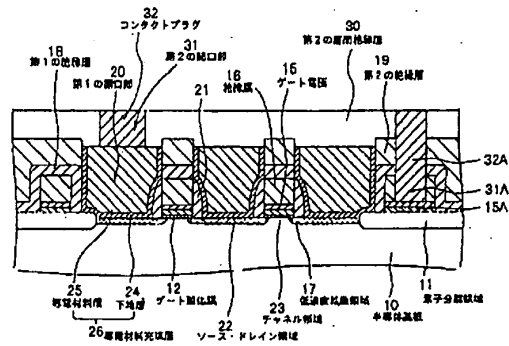
【図6】

【工程-160】

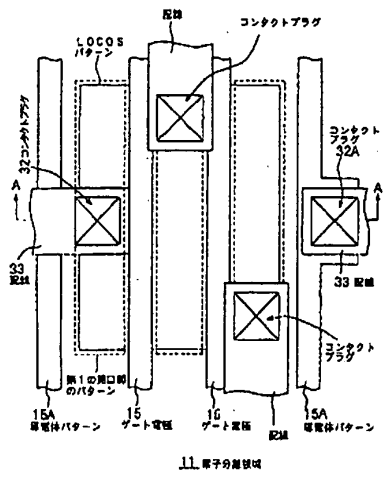


【図7】

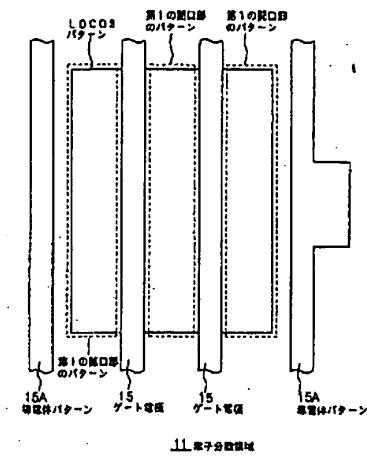
【工程-180】



(図8)

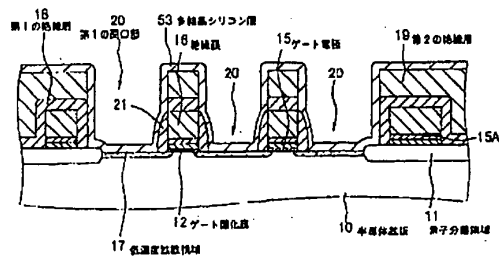


(図9)



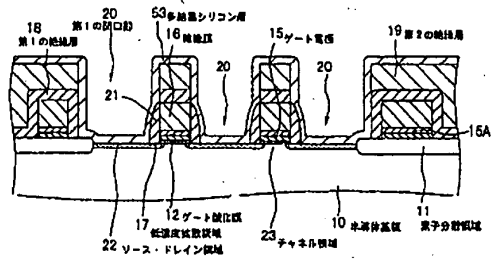
(図10)

【工程-200】



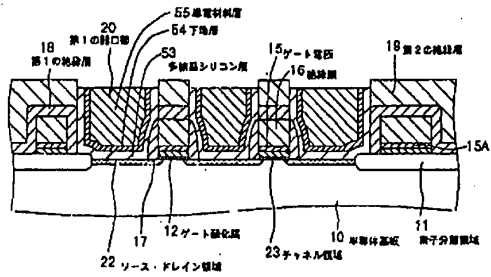
[図11]

[工程-210]



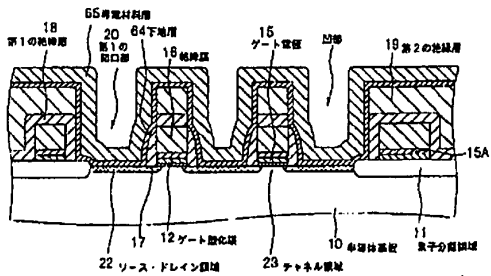
[図12]

[工程-220]

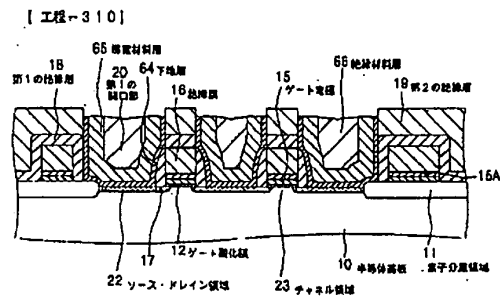


[図13]

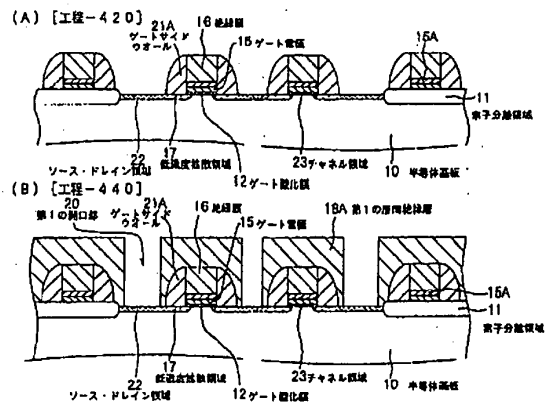
[工程-300]



【図14】



【図15】

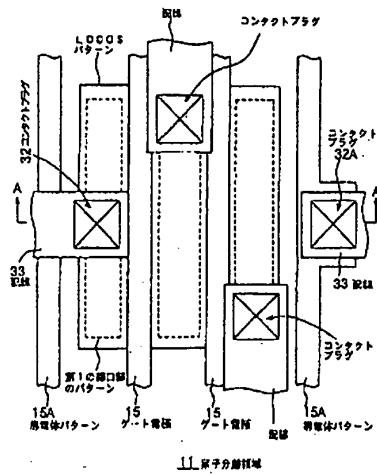


【工程-450】

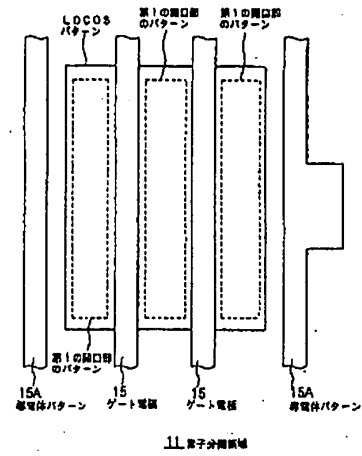




【図18】

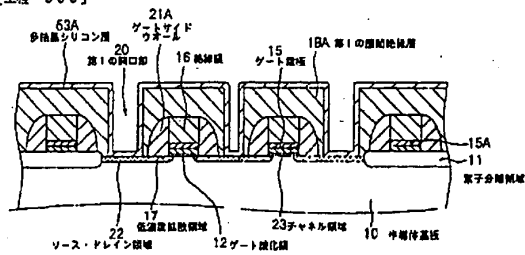


【図19】



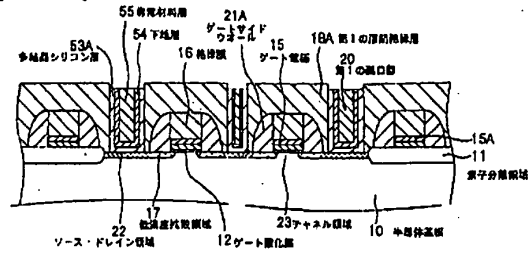
【図20】

【工程-500】



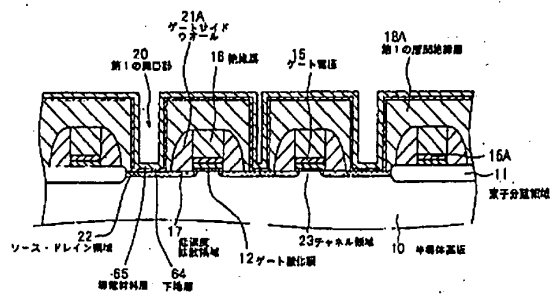
【図21】

【工程-510】



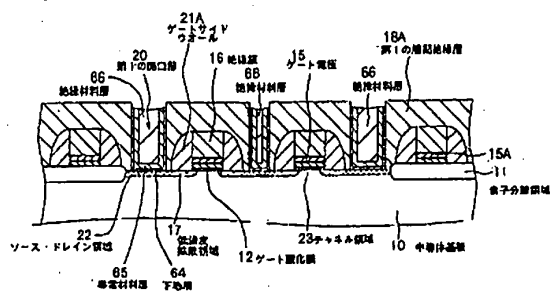
【図22】

【工程-600】



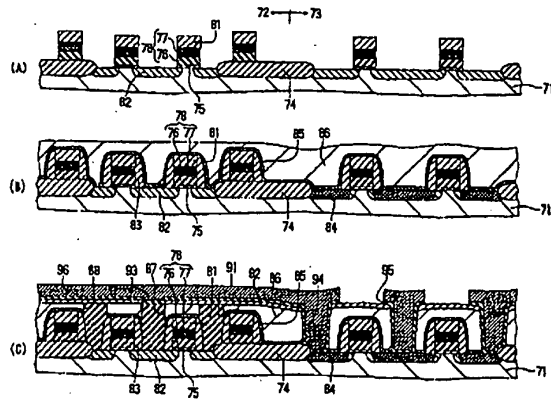
【図23】

【工程-610】

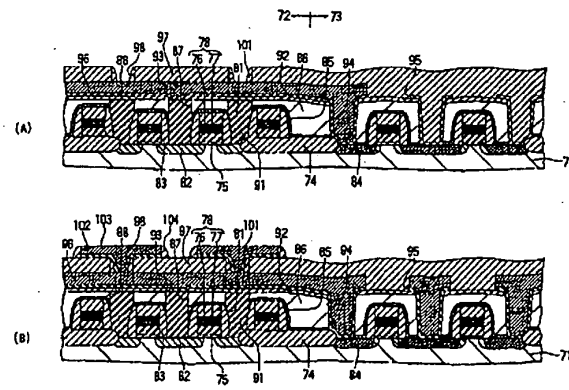




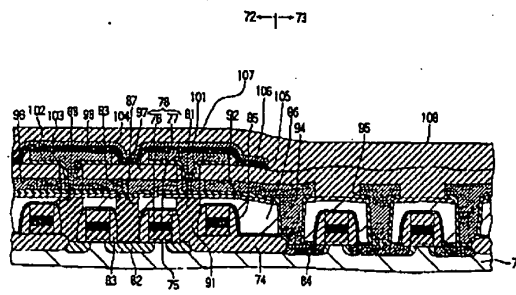
[図27]



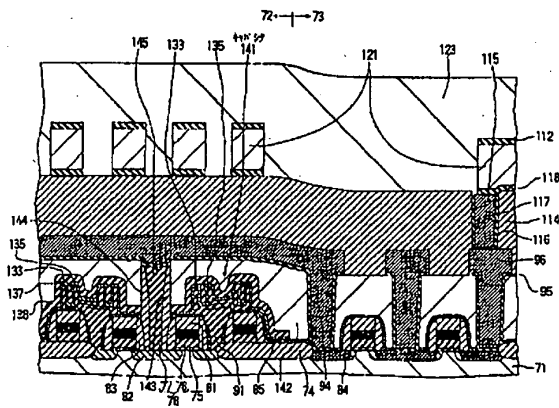
[図28]



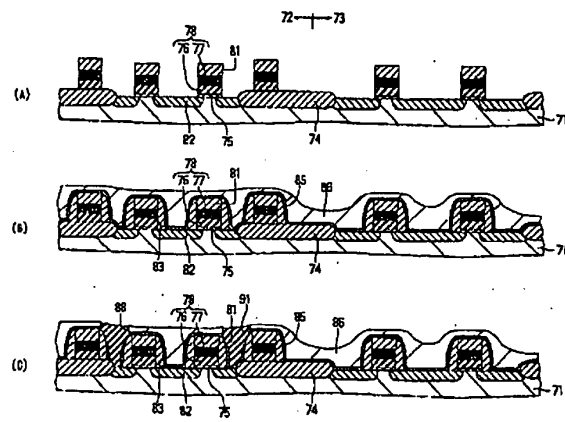
[図29]



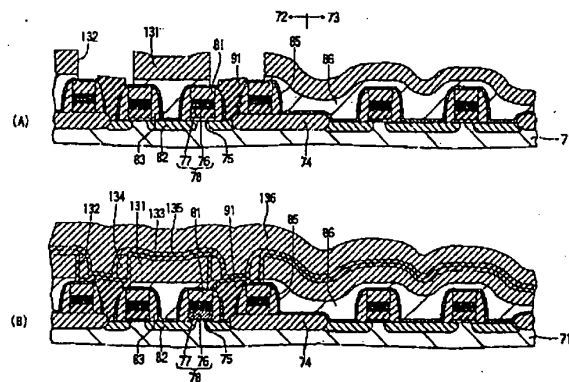
[図30]



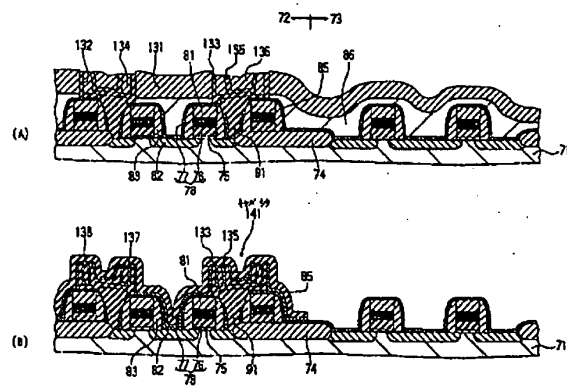
【図31】



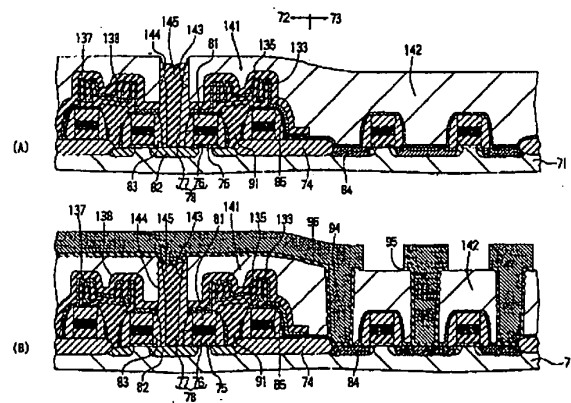
【図32】



【图 3 3】



【图 3 4】







(A)

218 ゲートサイドウォール  
216 絶縁膜  
215 ゲート電極  
212 ゲート絶縁膜  
217 低温成膜層  
219 高温成膜層  
211 素子の層領域  
210 半導体基板

(B)

218 ゲートサイドウォール  
216 絶縁膜  
215 ゲート電極  
219 金属膜  
212 ゲート絶縁膜  
217 低温成膜層  
219 高温成膜層  
211 素子の層領域  
210 半導体基板

(A)

218 ゲートサイド  
ウオール

216 絶縁膜

215 ゲート電極

219 金属膜

219A

211 原子分離領域

217 高濃度拡散領域

212 ゲート酸化膜

220 高濃度拡散領域

210 半導体基板

(B)

218 ゲートサイド  
ウオール

216 絶縁膜

215 ゲート電極

219A シリサイド層

211 原子分離領域

217 高濃度拡散領域

212 ゲート酸化膜

220 高濃度拡散領域

210 半導体基板

特開平9-219517